

PCF8574

EXPANSOR REMOTO 8-BIT I/O PARA I²C-BUS

1. CARACTERÍSTICAS

- Suministro de voltaje de funcionamiento 2.5 a 6 V
- Bajo consumo de corriente de espera (standby) de 10 mA máximo.
- Expansor I²C a puerto paralelo.
- Interrupt salida con drenador-abierto.
- Puerto remoto 8-bit I/O para el I²C-bus.
- Compatible con la mayoría de microcontroladores.
- Salidas Latched con drivers alta capacidad de corriente para conducir LEDs.
- Direccionado hardware por 3 pines dirección para usar hasta 8 dispositivos (16 PCF8574A).
- DIP16, o space-saving SO16 o SSOP20 packages.

(Vea Hojas de Datos)

2. DESCRIPCIÓN GENERAL.

El PCF8574 es un circuito CMOS de silicio. Este tiene el propósito general de expansor remoto de E/S para la mayor parte de familias de microcontroladores a través del bus bidireccional de dos líneas (I²C). Este es el diagrama de bloques:

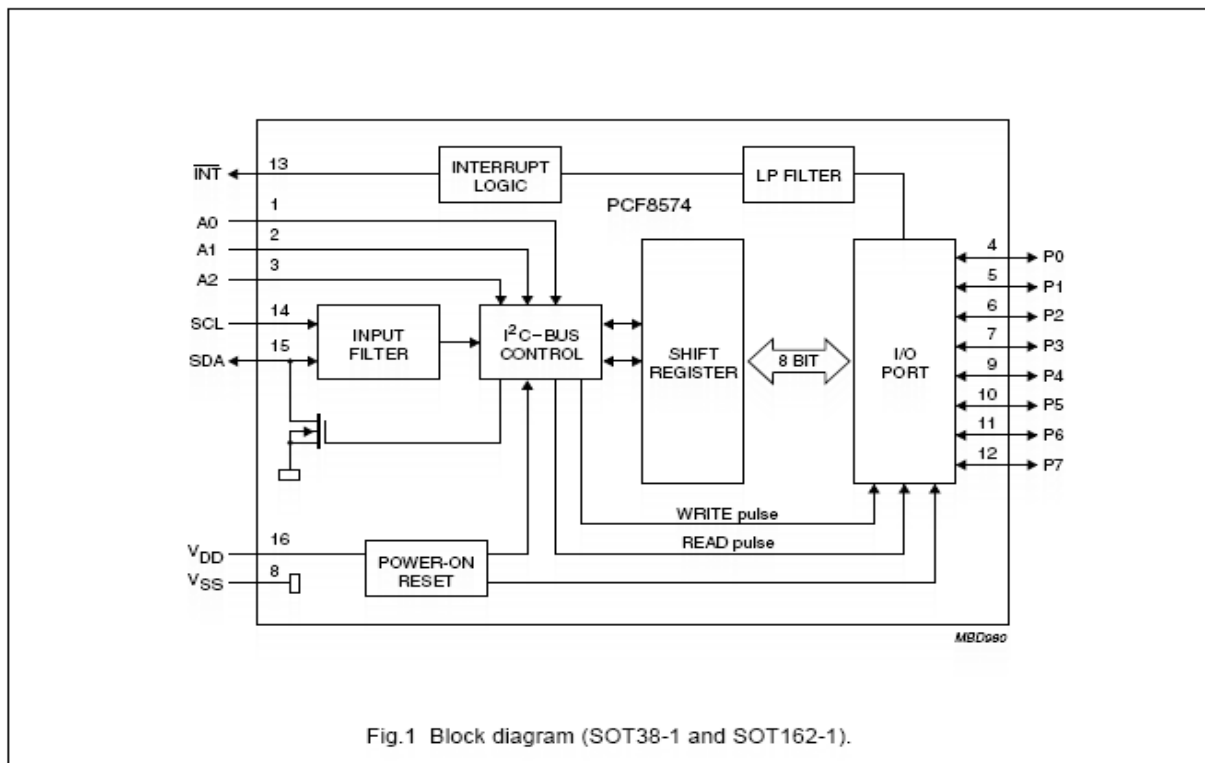
El dispositivo es un expansor remoto de 8bits I/O para bus I²C, consiste en un puerto cuasi-bidireccional de 8 bit y una interfaz I²C-bus. El PCF8574 tiene una baja corriente consumo e incluye salidas cerrojo con capacidad de alta corriente para conducir directamente LEDs. Este, también posee una línea de interrupción (/INT), que puede ser conectada a la lógica interrupt del microcontrolador. Mediante el envío de una señal interrupt sobre esta línea, las E/S remotas pueden informar al microcontrolador si hay datos entrantes en sus puertos sin necesidad de comunicarse a través del I²C-bus. Esto quiere decir que el PCF8574 puede seguir siendo un simple dispositivo esclavo.

El PCF8574 y PCF8574A son versiones que difieren sólo en su dirección Slave, como se muestra más abajo, en la Fig. 9. la única diferencia es la dirección del dispositivo.

El PCF8574P tiene una dirección a partir de b0100 0000 (0x20h), el PCF8574AP tiene una dirección a partir de b0111 0000 (0x38h). No obstante, esto no afecta en absoluto al modo en que funciona el dispositivo, a menos que tenga más de 8 de estos dispositivos.

El I²C utiliza las direcciones de 7 bits + 1 bit de control que corresponden a los 7 bits (MSB) más significativos, el bit 0 **lo genera la misma orden de lectura/escritura**. La dirección b0100 0000, en realidad es 0x40h y para la versión PCF8574AP, la dirección b0111 0000 es en realidad 0x70h.

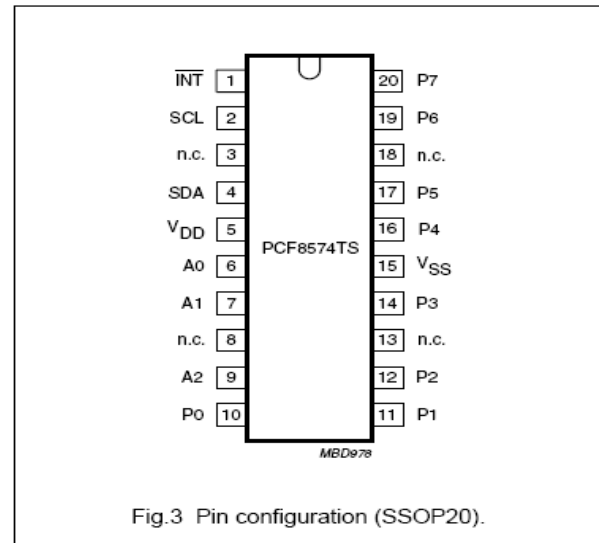
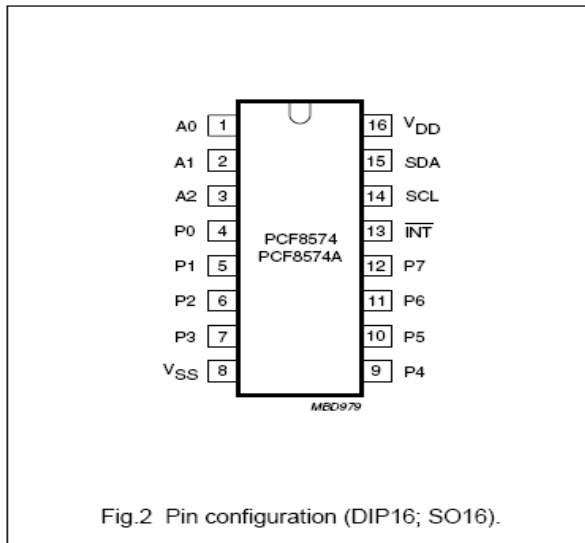
4. DIAGRAMA DE BLOQUES.



5. DESCRIPCION DE PINES.

5 PINNING

SYMBOL	PIN		DESCRIPTION
	DIP16; SO16	SSOP20	
A0	1	6	address input 0
A1	2	7	address input 1
A2	3	9	address input 2
P0	4	10	quasi-bidirectional I/O 0
P1	5	11	quasi-bidirectional I/O 1
P2	6	12	quasi-bidirectional I/O 2
P3	7	14	quasi-bidirectional I/O 3
VSS	8	15	supply ground
P4	9	16	quasi-bidirectional I/O 4
P5	10	17	quasi-bidirectional I/O 5
P6	11	19	quasi-bidirectional I/O 6
P7	12	20	quasi-bidirectional I/O 7
INT	13	1	interrupt output (active LOW)
SCL	14	2	serial clock line
SDA	15	4	serial data line
VDD	16	5	supply voltage
n.c.	—	3	not connected
n.c.	—	8	not connected
n.c.	—	13	not connected
n.c.	—	18	not connected



1997 Apr 02

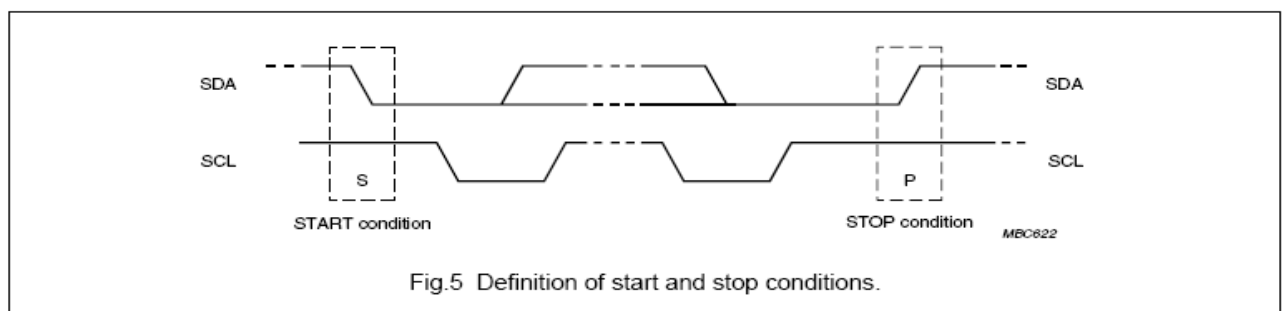
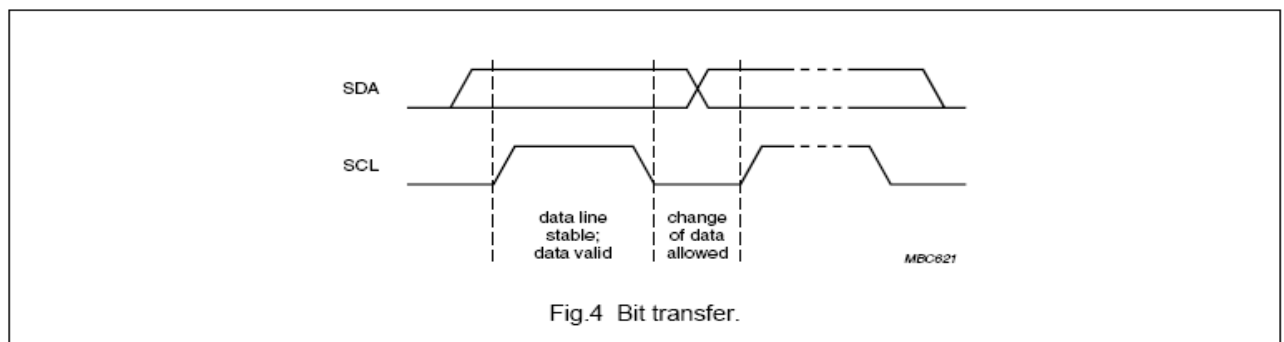
5

6. CARACTERISTICAS DEL I²C-BUS.

El I²C bus son 2 vías, 2 línea de comunicación entre diferentes módulos o circuitos integrados. Las dos líneas, una línea de datos serie (SDA) y una línea de reloj (SCL). Ambas líneas deben ser conectadas a un suministro positivo a través de una polarización a alto (RPA), aun cuando se conecte a la salida de las etapas de un dispositivo. La transferencia de datos sólo se podrá iniciar cuando el bus no esté ocupado.

6.1 BIT TRANSFERENCIA.

Se transfiere un bit de datos en cada pulso de reloj. Los datos en la línea SDA, deben permanecer estables durante el período de pulso ALTO del reloj, con cambios en la línea de datos en este tiempo, será interpretado como señales de control (ver Fig. 4).

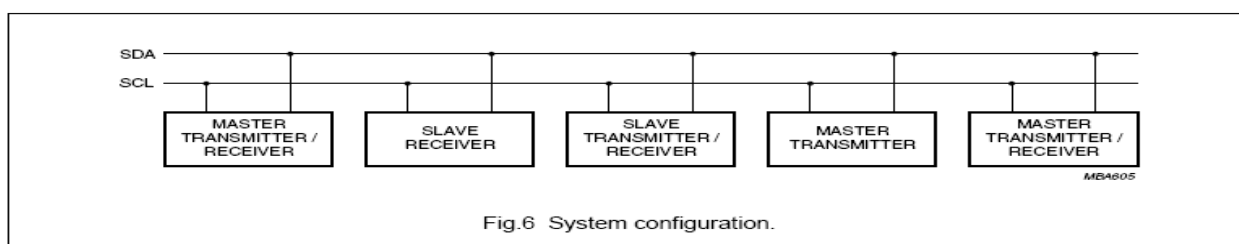


6.2 CONDICIONES DE START Y STOP.

Ambas líneas de datos y reloj siguen siendo ALTO cuando el bus no está ocupado. Una transición de ALTO -a- BAJO de la línea de datos, mientras el reloj es ALTO se define como la condición de inicio (S). Una transición de BAJO -a- ALTO de la línea de datos mientras el reloj es ALTO se define como la condición de parada (P) (ver Fig. 5).

6.3 CONFIGURACION DEL SISTEMA.

Un dispositivo que genera un mensaje es un "emisor", un dispositivo que lo recibe es un "receptor". El dispositivo que controla el mensaje es el 'maestro' y los dispositivos que son controlados por el maestro son los "esclavos" (ver Fig.6).



1997 Apr 02

6

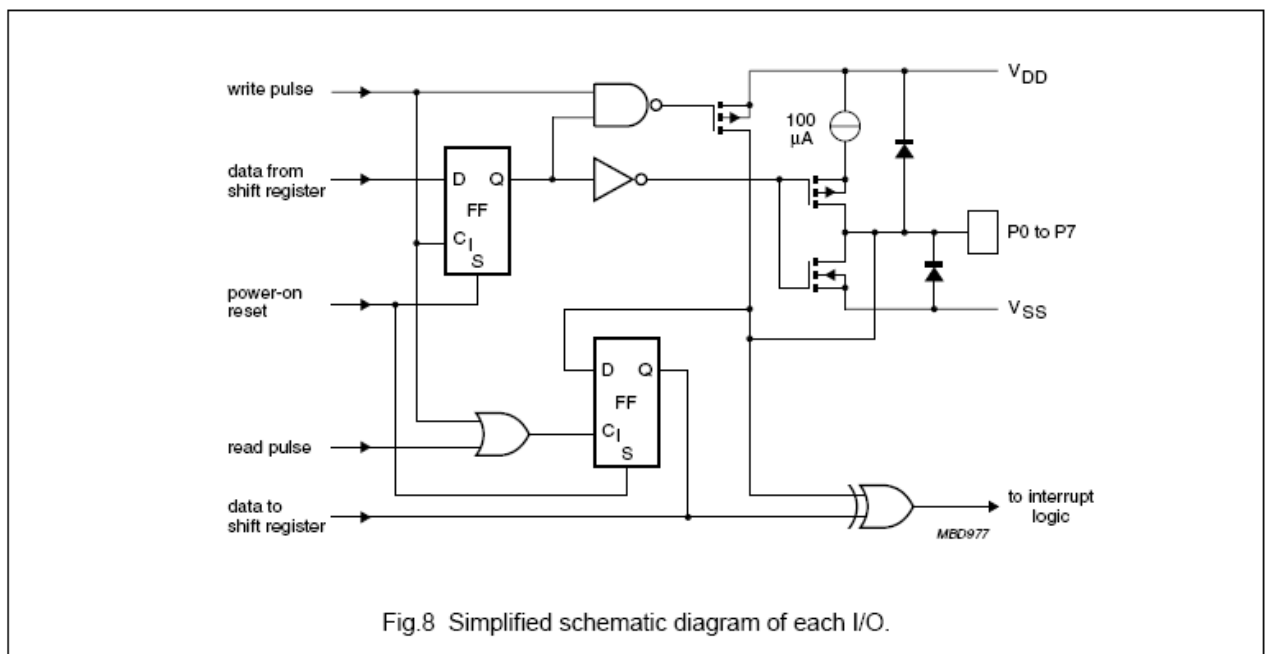
6.4 Reconocer (Acknowledge).

El número de bytes de datos transferidos entre las condiciones de inicio y parada del transmisor al receptor no está limitado. Cada byte de ocho bits está seguido de un bit de reconocimiento. El bit de reconocimiento es un bit de nivel ALTO, puesto en el bus por el transmisor, mientras el maestro genera un reconocimiento suplementario relacionado con el pulso de reloj.

Un receptor esclavo cuando es direccionado debe generar un reconocimiento después de la recepción de cada byte. Un maestro también debe generar un reconocimiento después de la recepción de cada byte que ha sido registrado por los transmisores esclavos. El dispositivo reconoce que la línea SDA tiene una PRB (pull-down) durante el pulso de reconocimiento de reloj, de modo que la línea SDA sea estable BAJO, durante el período relacionado con el pulso ALTO de reconocimiento de reloj, los tiempos de configuración y mantenimiento deben ser tenidos en cuenta.

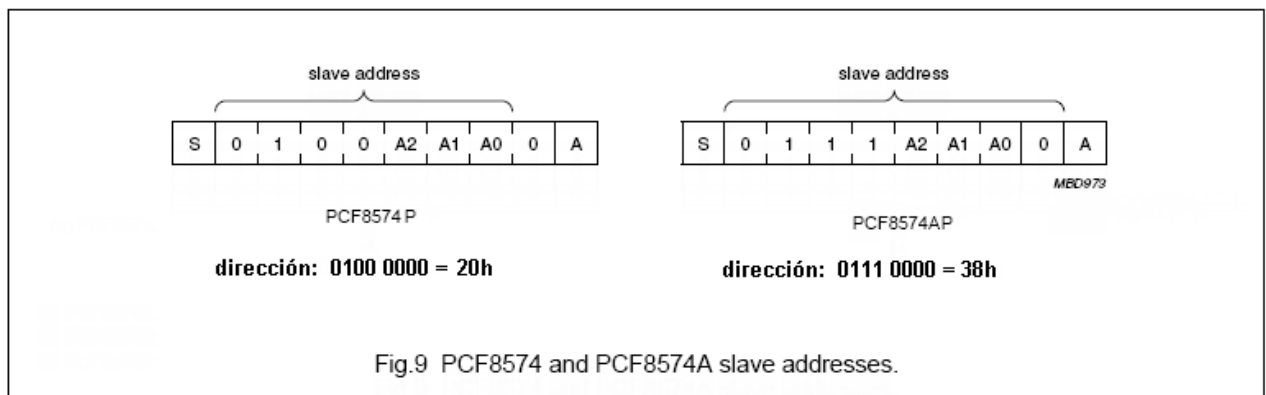
Un maestro receptor debe señalar un final de los datos al transmisor, para no engendrar un reconocimiento en el último byte que ha sido registrado por el esclavo. En este caso, el transmisor debe dejar la línea de datos ALTA para permitir al maestro engendrar una condición de parada.

7. DESCRIPCION FUNCIONAL.



7.1 Direccionar (Addressing).

Para direccionar ver figs. 9, 10 y 11.



Cada una de las ocho E/S del PCF8574, pueden ser utilizadas por separado, como una entrada o salida. Los datos de entrada se transfieren desde el puerto en el micro-controlador por el modo de lectura (ver Fig. 12). Los datos de salida se transmiten al puerto por el modo de escritura (ver Fig. 11).

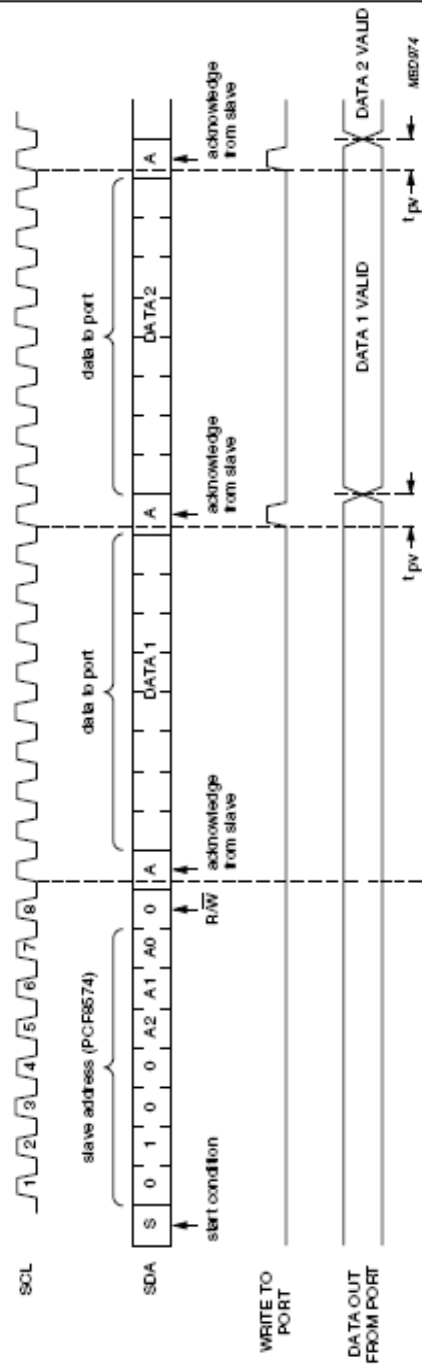


Fig.10 WRITE mode (output).

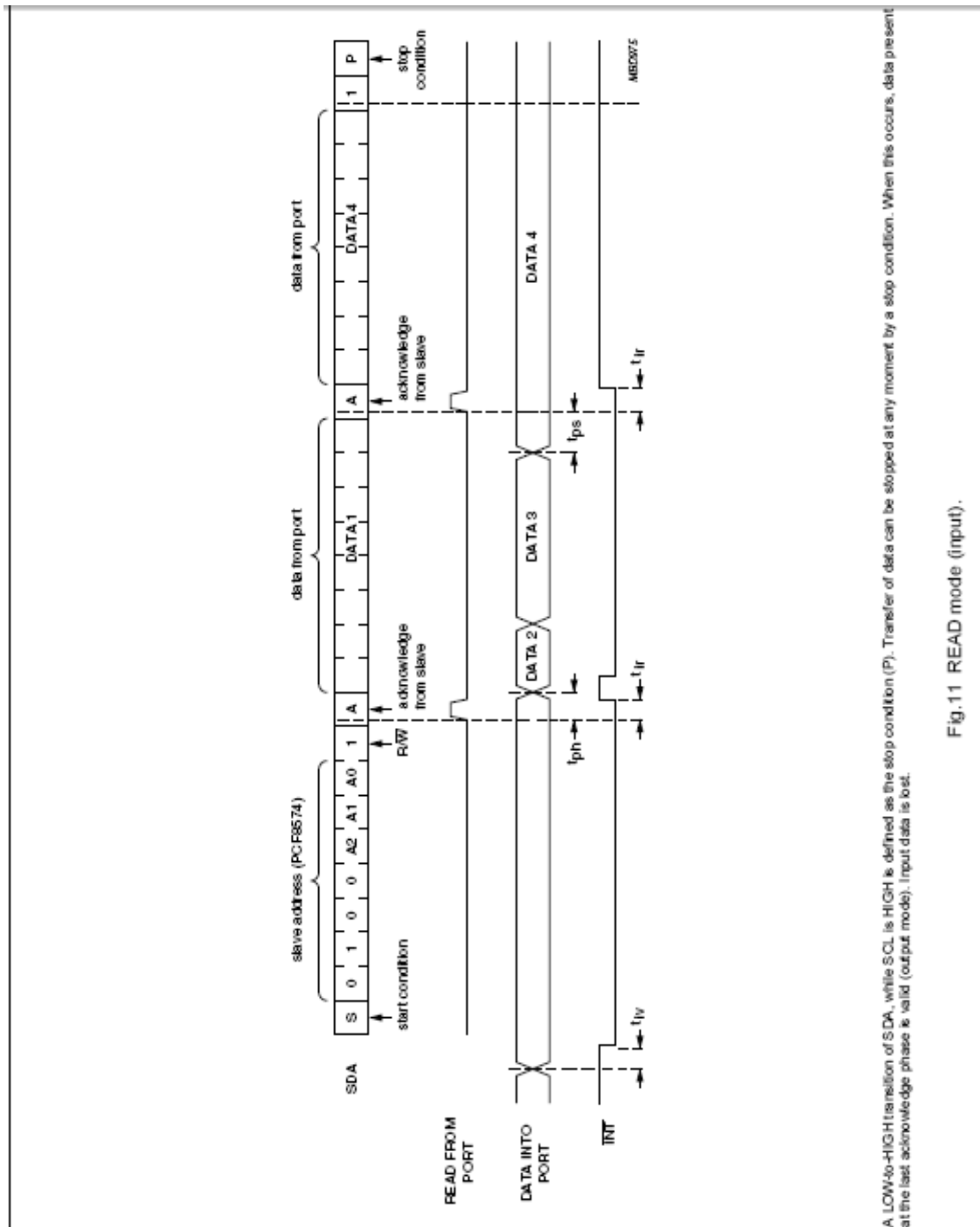


Fig.11 READ mode (input).

A LOW-to-HIGH transition of SDA, while SCL is HIGH is defined as the stop condition (P). Transfer of data can be stopped at any moment by a stop condition. When this occurs, data present at the last acknowledge phase is valid (output mode). Input data is lost.

7.2 Interrupt (ver figs. 12 y 13).

El PCF8574 proporciona una salida de drenaje abierto (/INT), que puede alimentar a una entrada correspondiente del microcontrolador. Esto dota a los chips de un tipo de maestro de la función que puede iniciar una acción en otros lugares del sistema. Se genera un interrupt por cualquier aumento o disminución del borde de las entradas del puerto en el modo de entrada. Después del tiempo Tiv en que la señal /INT es válida.

La reactivación y circuito de reactivación de la interrupción, se logra cuando los datos en el puerto se cambian a la configuración original o los datos se leen o escriben en el puerto, que ha generado la interrupción.

El restablecimiento ocurre así:

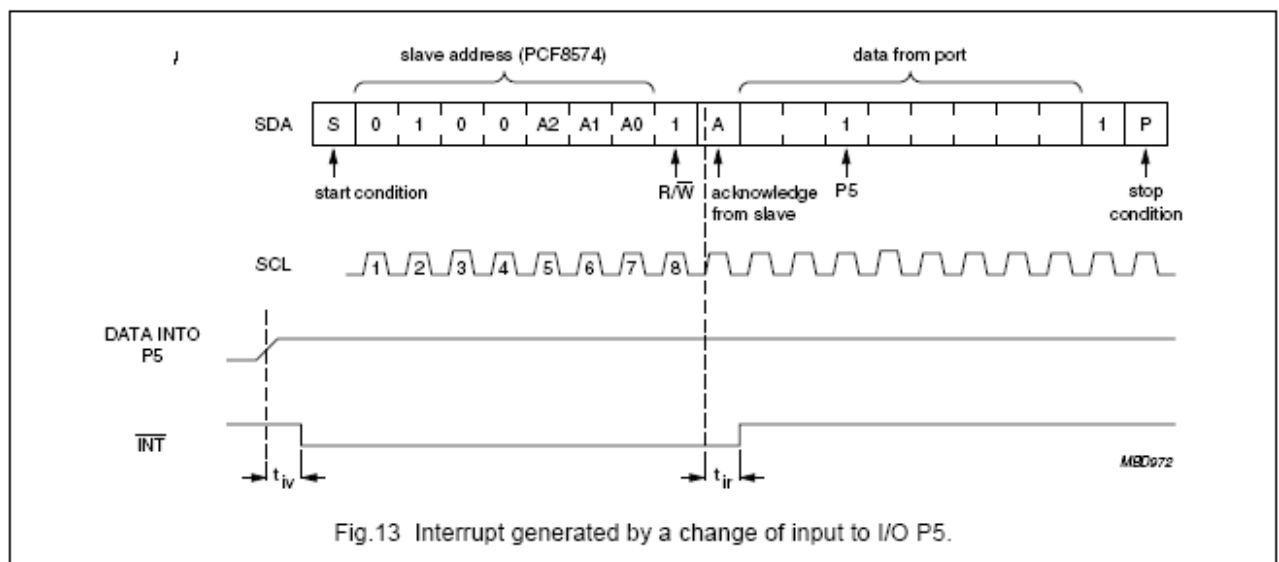
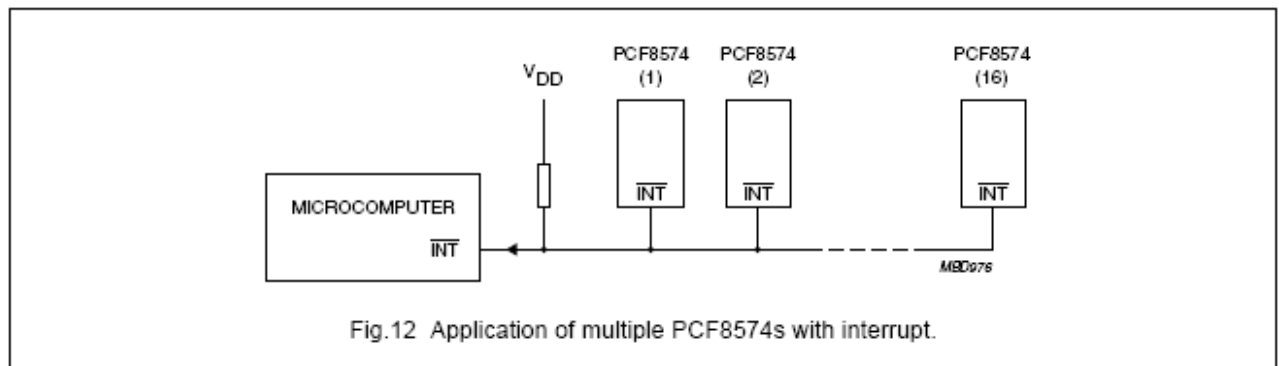
- En el modo lectura del bit reconocer después borde creciente de la salida de la señal de SCL.
- En el modo escritura del bit reconocer después de la transición de HIGH-a-LOW de la señal de SCL.
- Los interrupts que se producen durante el reconocimiento del reloj el pulso se puede perder (o muy poco), debido al restablecimiento del interrupt en este pulso.

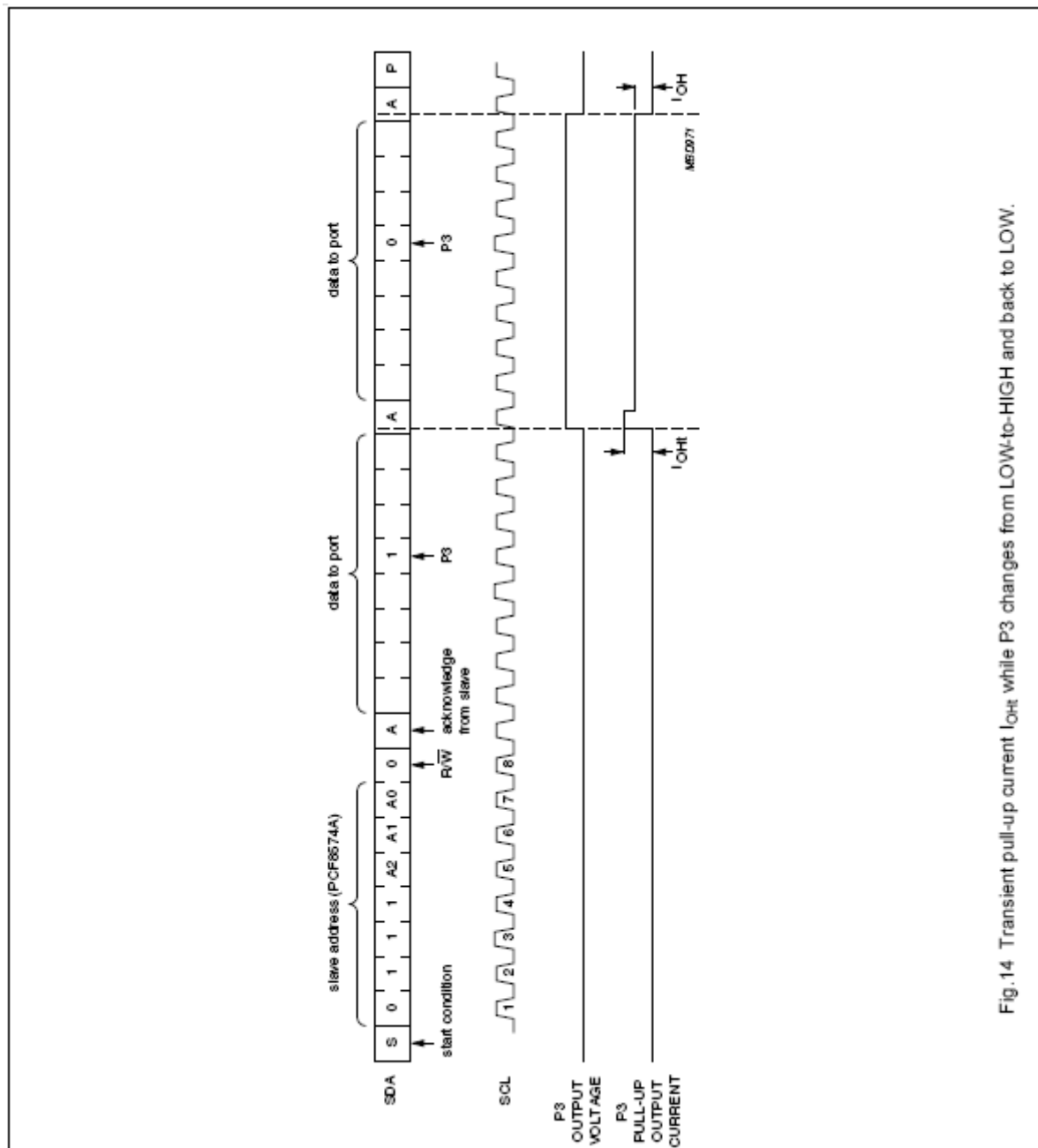
Cada cambio de las E/S después del restablecimiento serán detectados y después del próximo flanco ascendente de reloj, se transmitirán como /INT. La lectura o escritura a otro dispositivo, no afecta al circuito interrupt.

7.3 Cuasi-bidireccional I/Os (ver Fig. 14)

Un puerto cuasi bidireccional de E/S puede ser utilizado como una entrada o salida sin el uso de una señal de control para los datos de dirección. (ver Fig. 15).

En power-on las E/S son ALTAS. En este modo, sólo una fuente de corriente VDD está activa. Una fuerte RPA adicional a VDD permite los rápidos bordes crecientes en salidas pesadamente cargadas. Estos dispositivos conectan a su vez cuando una salida es escrita ALTA, y se desconectan por el flanco negativo de SCL. Las E/S deberían ser ALTAS antes de ser utilizadas como entradas.





Para más información relevante, respecto de condiciones de trabajo y tensiones, deben seguir el enlace del Data Sheet.